

PX USB3.2 20Gbps Device IP Spec

匹芯科技USB3.2 20g解决方案

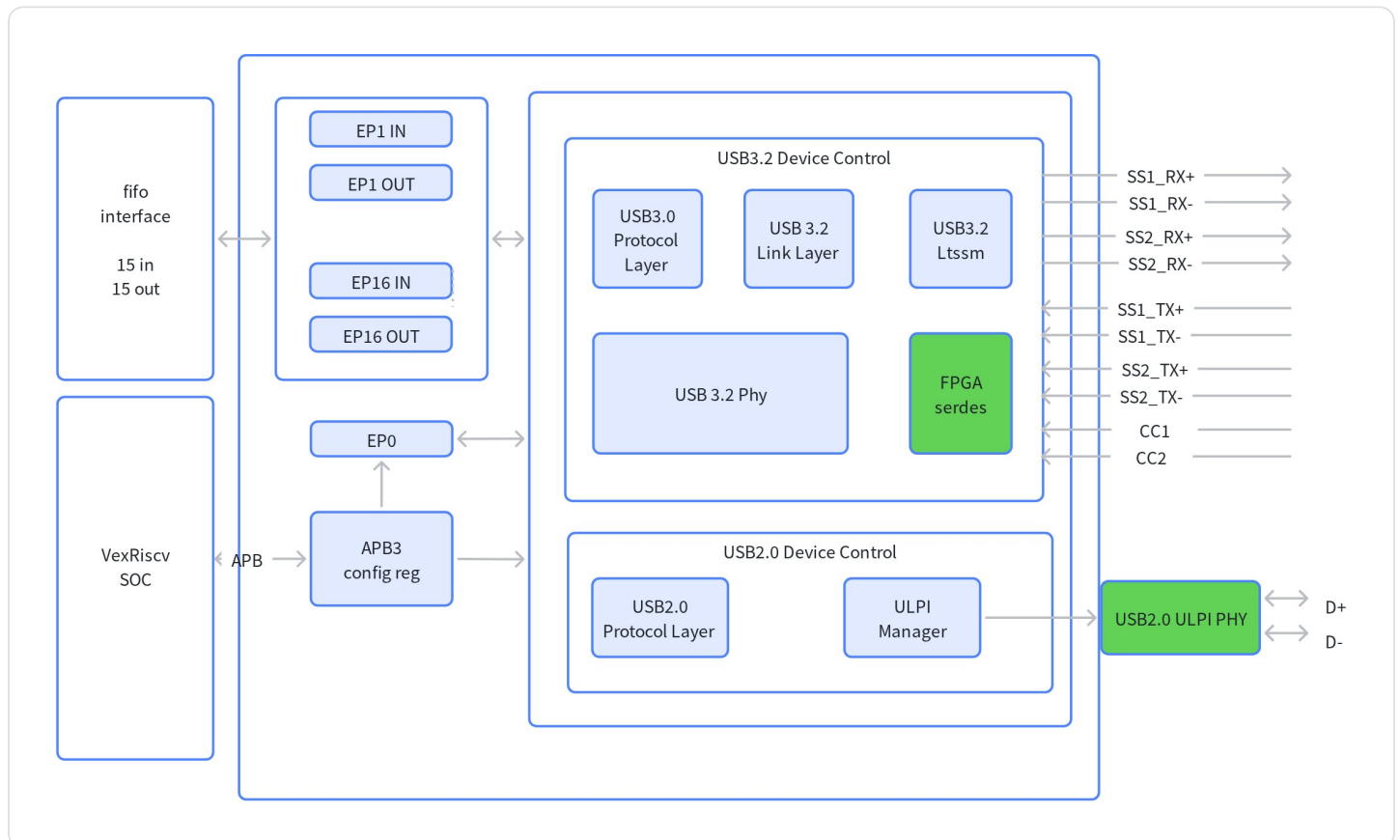
联系方式：13423249685微信

USB 20Gbps方案基于现场可编程门阵列（FPGA）内置收发器设计。它是满足从USB 3.2到USB 2.0全场景USB需求的一站式解决方案。该方案支持超高速+(SSP x2/x1)、超高速(SS)、高速(HS)和全速(FS)通信模式。核心架构可让FPGA以最少的引脚实现USB 3.2接口，且具备更高的稳定性。通过外接USB 2.0通用低频引脚接口（ULPI）物理层（PHY），可实现USB 2.0的向下兼容。

架构设计旨在在实现最高吞吐量（即大于16吉比特每秒）的同时，兼顾简洁性与灵活性。apb3接口支持通过软件管理控制传输，具备良好的灵活性；而FIFO/RAM接口则可通过非控制端点传输数据，以此确保实现最高吞吐量。

本IP可直接对标FX20，并且因为全双工，同时in与out可以同时做到，不受外围接口限制。

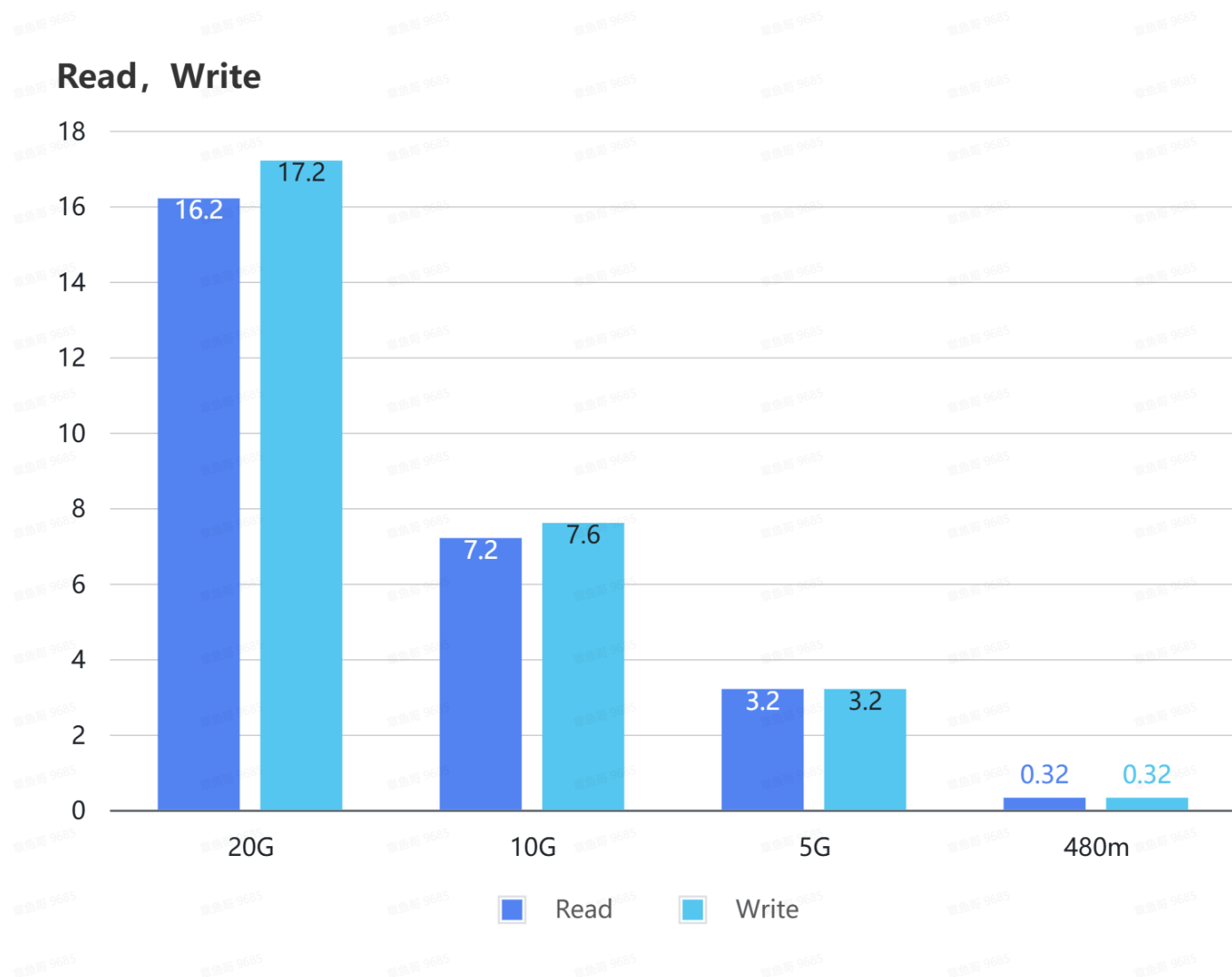
IP框架



1. VexRiscv soc: 负责usb ip管理与ep0描述符枚举等

2. USB3.2 IP包含usb3.2与usb2.0部分，USB3.2支持gen2x2， gen2x1， gen1x2， gen1x1， usb2.0hs， usb2.0fs
3. 支持控制，同步，中断，批量传输

性能



特性

- USB3.2特性
 - 支持USB 20G (gen2x2) ， 10G (gen2x1， gen1x2) ， 5G (gen1x1)
 - 采样fpga serdes收发器作为物理层，无需外部phy，支持Xilinx，安陆，易灵思，紫光，复旦微，高云等市面上所有FPGA。需要serdes支持10g以上才可以支持到gen2x2 (20g，每个lane10g) ，如果serdes只支持5g，只能做gen1x2 (10g) 和gen1x1 (5g) 。
- USB2.0特性
 - 支持高速HS与全速FS模式

- 提供ULPI接口与外部USB2.0 PHY进行互联
- 易用性
 - 开源vexriscv soc，可无需关注各个平台的软核
 - 简单fifo接口
- 灵活性
 - 支持多达31个端点（1个默认控制端点，15个输入端点，15个输出端点）
 - 允许根据需求选择每个端点的缓冲区数量

资源

Instance	Module	logic lut	ripple	seq
▼ top	usb3_device_gen2_demo	19906	716	19526
clk_init	clk_init	0	0	0
> SerDes_Top_inst	SerDes_Top	8243	86	7303
> usb3_2_device_controller128	usb3_2_device_controller128	11247	554	11831

	LUT	FF	时钟	器件
128位宽	20K	20K	156.25M	28，22nm器件
64位宽	12K	12K	312.5M	16nm器件

应用

- 成像设备
- 机器视觉
- 存储设备
- 数据中心
- USB采集卡
- USB网卡